

F-072

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales BüroINTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

<p>(51) Internationale Patentklassifikation ⁷ : H01R 12/04, 13/66, 13/719</p>	<p>A1</p>	<p>(11) Internationale Veröffentlichungsnummer: WO 00/16446</p> <p>(43) Internationales Veröffentlichungsdatum: 23. März 2000 (23.03.00)</p>
<p>(21) Internationales Aktenzeichen: PCT/DE99/02785</p> <p>(22) Internationales Anmeldedatum: 2. September 1999 (02.09.99)</p> <p>(30) Prioritätsdaten: 198 41 459.5 10. September 1998 (10.09.98) DE</p> <p>(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE).</p> <p>(72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BELAU, Horst [DE/DE]; Gabriele Münster Weg 2, D-84085 Langquaid (DE). HELD, Joachim [DE/DE]; Schönwerthstrasse 56, D-81739 München (DE). REINDL, Hartwig [DE/DE]; Nürnberger Strasse 8, D-80537 Feucht (DE). MEYER, Wolfram [DE/DE]; Asamstrasse 36, D-93051 Regensburg (DE).</p> <p>(74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).</p>	<p>(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>Veröffentlicht Mit internationalem Recherchenbericht. Vor Ablauf der für Änderungen der Ansprüche zugelassenen Frist; Veröffentlichung wird wiederholt falls Änderungen eintreffen.</p>	
<p>(54) Title: PRINTED CIRCUIT BOARD ARRANGEMENT WITH A MULTIPOLE PLUG-IN CONNECTOR</p> <p>(54) Bezeichnung: LEITERPLATTENANORDNUNG MIT MEHRPOLIGEM STECKVERBINDER</p> <div data-bbox="472 1094 1105 1528"> </div> <p>(57) Abstract</p> <p>A printed circuit board arrangement with a multipole plug-in connector (1) is fitted with plug pins that are respectively fixed to signal conductor tracks in a parallel position with respect to a printed circuit board layer (3). The signal conductor tracks (4) are arranged in a substantially parallel position and are alternately mounted side to side with ground conductor tracks (6). A ground screening surface (11) is also provided in an adjacent layer (10) of the printed circuit board.</p>		